

版权声明

本手册所有内容，其版权属于北京网讯科技有限公司（以下简称北京网讯）所有，未经北京网讯许可，任何单位和个人不得仿制，拷贝，转译或者任意引用。

版权所有 不得翻印

V1.02
北京网讯科技有限公司
2019-12-30

目录

第 1 章 SP1000A 简介	1
1.1 主要技术特征	2
1.1.1 以太网	2
1.1.2 数据中心	2
1.1.3 卸载	2
1.1.4 主机接口	3
1.1.5 虚拟化	3
1.1.6 边带管理	错误!未定义书签。
1.1.7 接口	3
1.2 引脚描述	4
1.3 电气规格	12
1.3.1 极限工作条件	12
1.3.2 建议工作条件	12
1.3.3 工作电流	13
1.3.4 模式配置说明	13
1.3.5 ETH 时钟输入	14
1.3.6 电源设计	15
1.3.7 复位时间	15
1.3.8 FLASH 推荐	15
1.3.9 光模块推荐	16
1.3.9 PCI_EXPRESS 布线建议	16
1.3.10 SFP+布线建议	17
第 2 章 芯片封装尺寸说明	18

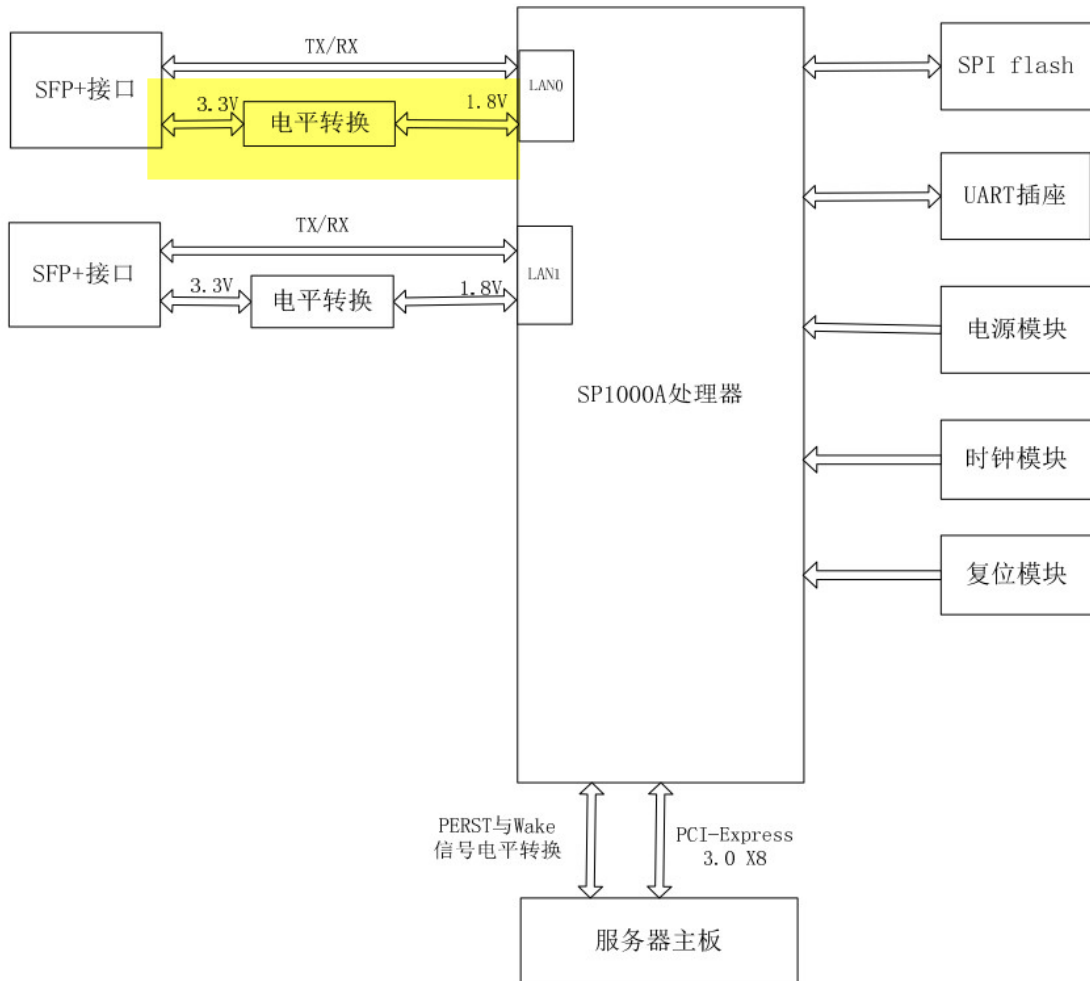
第 1 章 SP1000A 简介

SP1000A 处理器是北京网迅自主设计的，拥有自主知识产权，它能满足企业数据中心对网络最新需求，应用在服务器上，支持管理程序分流数据排序功能，通过有效地平衡网络负载在 CPU 核上，提高数据吞吐量和 CPU 使用率，在多 CPU 处理器系统中表现出极佳的性能。

SP1000A 处理器具有优良的噪声抗扰性，同时还支持 300 米距离光纤连接，适用于服务器和高端设备，它可轻松将任何 PCI Express X8 集成到万兆网络中，并且对性能进行了优化，使系统 I/O 不再是高端网络应用的瓶颈。

SP1000A 处理器带有两个完全集成的万兆以太网媒体存取控制（MAC）和 SFP+端口，它是部署多个网络以及在高性能服务器上部署关键网络应用环境的理想解决方案。

SP1000A 产品应用框图如下：



1.1 主要技术特征

1.1.1 以太网

- 10G SFI/KR/XAUI/SGMII 接口
- 支持最大 9.5 KB 的巨型帧
- 支持模式下自动匹配第 73 条
- 控制支持：发送/接收暂停帧和接收 FIFO 阈值
- 支持 802.1q VLAN
- 休眠唤醒
- 流量整形

1.1.2 数据中心

- 支持 PFC (802.1Qbb)
- 支持 ETS (802.1Qaz)
- 支持 QCN (802.1Qau)
- 支持 VEPA
- 支持 ETAG
- 支持 MIB 和 RMON
- VXLAN/Geneve/NVGRE 卸载

1.1.3 卸载

- IPv4 TCP RSC 卸载
- FCOE 卸载
- 发送段卸载：高达 256 KB
- Linksec 卸载
- Ipvsec 卸载
- IP/TCP/UDP/STCP 校验和卸载
- 用于数据包重组的分段 UDP 校验和卸载
- 以太网 CRC 剥离卸载
- VLAN 插拔卸载
- 支持传输数据包的 MAC/ VLAN 防欺骗功能
- 支持接收数据包头拆分

1.1.4 主机接口

- 消息信号中断 (MSI / MSI-X)
- 中断节流控制, 用于限制最大中断速率
- TCP 定时器中断
- 支持 TPH/FLR/IDO/ARI/VPD/ECRC
- 256B 最大有效载荷/ 2KB 最大请求
- PCIE 乱序发送
- 功能性支持 D0 和 D3 状态的 ACPI 寄存器设置和掉电

1.1.5 虚拟化

- 支持 SR-IOV
- 128 个传输环
 - 每个环有 32 个条目数据描述符缓存
 - 每个环都有 2 个条目上下文描述符缓存
- 128 个接收环
 - LLI 环的描述符缓存
- 支持每个端口 64 个虚拟机 (64 个虚拟机 x 2 个队列)
 - 128 个 MAC 地址
 - 4096 个基于哈希的单播地址
 - 4096 个基于哈希的组播地址
- 虚拟以太网桥

1.1.6 接口

- 10 Gb 双端口设备或单端口
- PCIe Gen3, 总线宽度——x1, x2, x4, x8
- 每个 LAN 端口 8 个 GPIO 引脚
- 每个 LAN 端口 1 个 IIC
- SPI 闪存接口
- UART 接口
- NCSI 端口
- 8 GPIO 引脚
- Smbus 端口
- 设备禁用功能

1.2 引脚描述

Note: the single-ended signal IO level standard of SP1000A chip is 1.8V LVCMOS standard.

Table1:Chip status

Ball #	Pin Name	Type	Description
H5	PCIE_BSY	Output	Asserted when PCI Express link has traffic
B1	ETH_UP_1	Active-High	Asserted when Ethernet port1 is UP
C1	ETH_1G_0		Asserted when Ethernet port0 is at 1Gbps
D1	ETH_100M_0		Asserted when Ethernet port0 is at 100Mbps
E1	ETH_BSY_1		Asserted when Ethernet port1 has traffic
A2	ETH_10G_0		Asserted when Ethernet port0 is at 10Gbps
B2	ETH_BSY_0		Asserted when Ethernet port0 has traffic
C2	ETH_10G_1		Asserted when Ethernet port1 is at 10Gbps
D2	ETH_100M_1		Asserted when Ethernet port1 is at 100Mbps
E2	ETH_UP_0		Asserted when Ethernet port0 is UP
G4	ETH_1G_1		Asserted when Ethernet port1 is at 1Gbps
G5	MNG_BSY		Asserted when on-chip has traffic.

Table2:Chip Control

Ball #	Pin Name	Type	Description
M1	PORST_N	Input	Active-Low power-on reset
J4	PLL_BYPASS		Active-High. If asserted, Internal PLL is bypassed. It should not be asserted for normal operation.
J5	PLL_REF_CLK		50MHz PLL reference clock.
M5	LAN1_DIS_N		Active-Low. If asserted, Ethernet port0 is disabled.
M2	FLASH_BYPASS		Active-High. If asserted, off-chip flash is bypassed, pre-configuration is NOT loaded.
R1	LAN2_DIS_N		Active-Low. If asserted, Ethernet port1 is disabled.
G2	MNG_DET		Active-High. If asserted, on-chip CPU is enabled.
W2	SEC_DISABLE		Active-High. If asserted, LinkSec and IPsec are disabled.
Y21	FLASH_SECTOR		0 means image1 starts at 64KB address, 1 means image1 starts at 256KB address.
T4	SEC_MODE		Active-High. If asserted, host CPU can't access on-chip CPU registers.

Ball #	Pin Name	Type	Description
H3	PCIE_PHY_PARA_SEL		Active-High. If asserted, PHY Internal registers are accessed by Internal logic, otherwise PHY Internal registers are accessed by JTAG.
H1	ETH_PHY_PARA_SEL		
G1	ETH_PHY_SRAM_BYPASS		Active-High. If asserted, PHY Internal SRAM is bypassed.
H4	PCIE_PHY_SRAM_BYPASS		
T5	PE_RST_SEQ		Active-High. If asserted, SP assumes power-on-reset removal before that of PERST. It is Internally pull-down, could be floating Input board design.
L5	PE_AUX_PWR_DET		Active-High when chip has Auxiliary power supply.
U9	PE_PHY0_RESREF		Connect to 200Ω ($\pm 1\%$) off-chip resistor for PHY Internal calibration.
U13	PE_PHY1_RESREF		
F7	ETH0_RESREF		
F15	ETH1_RESREF		

Table3:Ethernet Port0 PHY

Ball #	Pin Name	Type	Description
A4	ETH0_RX_N_0	Input	CML differential signal, Ethernet Port0 PHY differential pairs, ETH0_RX_0 differential pair for connection to SFI RX, ETH0_TX_0 differential pair for connection to SFI TX.
B4	ETH0_RX_P_0	Input	
D4	ETH0_TX_N_0	Output	
E4	ETH0_TX_P_0	Output	
A6	ETH0_RX_N_1	Input	
B6	ETH0_RX_P_1	Input	
D6	ETH0_TX_N_1	Output	
E6	ETH0_TX_P_1	Output	
A8	ETH0_RX_N_2	Input	
B8	ETH0_RX_P_2	Input	
D8	ETH0_TX_N_2	Output	
E8	ETH0_TX_P_2	Output	
A10	ETH0_RX_N_3	Input	
B10	ETH0_RX_P_3	Input	
D10	ETH0_TX_N_3	Output	
E10	ETH0_TX_P_3	Output	
F9	ETH0_REF_CLK_N	Input	Ethernet Port0 156.25MHz reference clock, LVDS level Input.
G9	ETH0_REF_CLK_P		

Table4:Ethernet Port1 PHY

Ball #	Pin Name	Type	Description
A18	ETH1_RX_N_0	Input	CML differential signal, Ethernet Port1 PHY differential pairs, ETH1_RX_0 differential pair for connection to SFI RX, ETH1_TX_0 differential pair for connection to SFI TX.
B18	ETH1_RX_P_0	Input	
D18	ETH1_TX_N_0	Output	
E18	ETH1_TX_P_0	Output	
A16	ETH1_RX_N_1	Input	
B16	ETH1_RX_P_1	Input	
D16	ETH1_TX_N_1	Output	
E16	ETH1_TX_P_1	Output	
A14	ETH1_RX_N_2	Input	
B14	ETH1_RX_P_2	Input	
D14	ETH1_TX_N_2	Output	
E14	ETH1_TX_P_2	Output	
A12	ETH1_RX_N_3	Input	
B12	ETH1_RX_P_3	Input	
D12	ETH1_TX_N_3	Output	
E12	ETH1_TX_P_3	Output	
F13	ETH1_REF_CLK_N	Input	Ethernet Port1 156.25MHz reference clock, LVDS level Input.
G13	ETH1_REF_CLK_P		

Table5:PCI Express

Ball #	Pin Name	Type	Description
Y1	PE_WAKE	Output	WAKE# signal defined Input PCI Express
Y2	PERST_N	Input	PCI Express asynchronous reset
T11	PE_REF_CLK_P	Input	PCI Express 100MHz reference clock
U11	PE_REF_CLK_N	Input	
V4	PE_TX_P_0	Output	CML differential signal, PCI Express PHY differential pairs.
W4	PE_TX_N_0	Output	
AA4	PE_RX_P_0	Input	
AB4	PE_RX_N_0	Input	
V6	PE_TX_P_1	Output	
W6	PE_TX_N_1	Output	
AA6	PE_RX_P_1	Input	
AB6	PE_RX_N_1	Input	
V8	PE_TX_P_2	Output	
W8	PE_TX_N_2	Output	
AA8	PE_RX_P_2	Input	
AB8	PE_RX_N_2	Input	
V10	PE_TX_P_3	Output	
W10	PE_TX_N_3	Output	
AA10	PE_RX_P_3	Input	

Ball #	Pin Name	Type	Description
AB10	PE_RX_N_3	Input	
V12	PE_TX_P_4	Output	
W12	PE_TX_N_4	Output	
AA12	PE_RX_P_4	Input	
AB12	PE_RX_N_4	Input	
V14	PE_TX_P_5	Output	
W14	PE_TX_N_5	Output	
AA14	PE_RX_P_5	Input	
AB14	PE_RX_N_5	Input	
V16	PE_TX_P_6	Output	
W16	PE_TX_N_6	Output	
AA16	PE_RX_P_6	Input	
AB16	PE_RX_N_6	Input	
V18	PE_TX_P_7	Output	
W18	PE_TX_N_7	Output	
AA18	PE_RX_P_7	Input	
AB18	PE_RX_N_7	Input	

Table6:SPI Flash

Ball #	Pin Name	Type	Description
E20	SPI_CLK_DIV_0	Input	They create a 3-bit bus. Its value determines the SPI clock (250MHz/X, where X is determined by these three signals): 1. 3'b000: X=2, SPI_CLK=125MHz 2. 3'b001: X=4, SPI_CLK=62.5MHz 3. 3'b010: X=6, SPI_CLK=41.66MHz 4. 3'b011: X=8, SPI_CLK=31.25MHz 5. 3'b100: X=10, SPI_CLK=25MHz 6. 3'b101: X=16, SPI_CLK=15.625MHz 7. 3'b110: X=32, SPI_CLK=7.8125MHz 3'b111: X=64, SPI_CLK=3.9MHz
D22	SPI_CLK_DIV_1		
D21	SPI_CLK_DIV_2		
B20	SPI_CLK	Output	SPI Interface from SP to Flash
C20	SPI_SO	Output	
C21	SPI_SI	Input	
C22	SPI_CS_N	Output	

Table7:UART

Ball #	Pin Name	Type	Description
J2	UART_STX	Output	UART Interface to on-chip CPU

Ball #	Pin Name	Type	Description
J3	UART_SRX	Input	

Table8:Ethernet GPIO

Ball #	Pin Name	Type	Description
M3	LAN0_GPIO_0	BiDir	LAN0/1 GPIO. They are used to get status of optical module, LAN GPIO design related to network card driver.
M4	LAN0_GPIO_1		
N3	LAN0_GPIO_2		
N1	LAN0_GPIO_3		
N2	LAN0_GPIO_4		
P3	LAN0_GPIO_5		
N5	LAN0_GPIO_6		
P1	LAN0_GPIO_7		
P4	LAN1_GPIO_0		
P5	LAN1_GPIO_1		
R4	LAN1_GPIO_2		
R2	LAN1_GPIO_3		
R3	LAN1_GPIO_4		
T2	LAN1_GPIO_5		
R5	LAN1_GPIO_6		
T1	LAN1_GPIO_7		

Table9:MNG GPIO

Ball #	Pin Name	Type	Description
R21	MNG_GPIO_0	BiDir	Universal input and output pin of internal embedded CPU, if not used can be left unconnected.
R19	MNG_GPIO_1		
P18	MNG_GPIO_2		
P19	MNG_GPIO_3		
R22	MNG_GPIO_4		
P22	MNG_GPIO_5		
N18	MNG_GPIO_6		
P20	MNG_GPIO_7		

Table10:NCSI

Ball #	Pin Name	Type	Description
T22	RMII_TXD_0	Output	NCSI transmit data
R18	RMII_TXD_1		
U20	RMII_TX_EN	Output	Transmit Enable
V21	RMII_CSR_DV	Input	Carrier Sense/Receive Data Valid
V22	RMII_REF_CLK	Input	NCSI reference clock

Ball #	Pin Name	Type	Description
U22	RMII_RXD_0	Input	NCSI receive data
T20	RMII_RXD_1		

Table11:MII

Ball #	Pin Name	Type	Description
R20	MII_MD	BiDir	If NCSI is connected to PHY, this Interface is used to control the PHY, otherwise it is not connected by default.
T21	MII_MDC	Output	

Table12:IIC

Ball #	Pin Name	Type	Description
F2	IIC0_SCL	BiDir	I2C Interface for laser module configuration Input 10G PHY
F3	IIC0_SDA		
G3	IIC1_SDA		
F1	IIC1_SCL		

Table13:MDIO

Ball #	Pin Name	Type	Description
U1	MD1_CLK	Output	Used to control external PHY if SP is using external PHY.
V2	MD1_IO	BiDir	
U3	MD0_CLK	Output	
T3	MD0_IO	BiDir	

Table14:MNG SMBus

Ball #	Pin Name	Type	Description
J1	MNG_IC_DATA	OD	SMBus to on-chip CPU
K1	MNG_IC_SMBALERT_N	Output	
K3	MNG_IC_SMBUSUS_N	Output	
K5	MNG_IC_CLK	OD	

Table15:Probe

Ball #	Pin Name	Type	Description
E22	PRB_EN	Input	Testing signals. They are not used Input normal operations.
D20	PRB_HIT	Output	
N21	PRB_CLKOUTPUT		
N22	PRB_DATA_0		

Ball #	Pin Name	Type	Description
N20	PRB_DATA_1		
M19	PRB_DATA_2		
M20	PRB_DATA_3		
M18	PRB_DATA_4		
M22	PRB_DATA_5		
L18	PRB_DATA_6		
M21	PRB_DATA_7		
L20	PRB_DATA_8		
L22	PRB_DATA_9		
L19	PRB_DATA_10		
K21	PRB_DATA_11		
K22	PRB_DATA_12		
K20	PRB_DATA_13		
J22	PRB_DATA_14		
K18	PRB_DATA_15		
J21	PRB_DATA_16		
J19	PRB_DATA_17		
J20	PRB_DATA_18		
J18	PRB_DATA_19		
H20	PRB_DATA_20		
H22	PRB_DATA_21		
H19	PRB_DATA_22		
G22	PRB_DATA_23		
H18	PRB_DATA_24		
G21	PRB_DATA_25		
G18	PRB_DATA_26		
G20	PRB_DATA_27		
F22	PRB_DATA_28		
F20	PRB_DATA_29		
F21	PRB_DATA_30		
F19	PRB_DATA_31		

Table16:JTAG

Ball #	Pin Name	Type	Description
W20	JTAG_SEL_0	Input	JTAG signals for testing purpose. They are not used Input normal operations.
W21	JTAG_SEL_1	Input	
Y20	JTAG_SEL_2	Input	
Y22	JTRST_N	Input	
W22	JTDO	Output	
U19	JTMS	Input	
V20	JTDI	Input	

Ball #	Pin Name	Type	Description
AA20	JTCK	Input	

Table17:Test Signals

Ball #	Pin Name	Type	Description
AB2	SCAN_ENABLE	Input	Test signals. They are not used Input normal operations.
AA1	TEST_SEL		
V1	TEST_MODE_0		
W1	TEST_MODE_1		
AA2	TEST_MODE_2		
K2	CLK_TST_SEL_0		
L4	CLK_TST_SEL_1		
L1	CLK_TST_SEL_2		
L3	CLK_TST_SEL_3		

Table18: Power Supplies

Ball #	Pin Name	Description
A1 AB1 H2 L2 P2 U2 A3 B3 C3 D3 E3 V3 W3 Y3 AA3 AB3 C4 F4 K4 N4 U4 Y4 A5 B5 C5 D5 E5 F5 U5 V5 W5 Y5 AA5 AB5 C6 F6 R6 U6 Y6 A7 B7 C7 D7 E7 R7 U7 V7 W7 Y7 AA7 AB7 C8 F8 G8 L8 N8 U8 Y8 A9 B9 C9 D9 E9 K9 M9 P9 V9 W9 Y9 AA9 AB9 C10 F10 G10 J10 L10 N10 T10 U10 Y10 A11 B11 C11 D11 E11 K11 M11 P11 R11 V11 W11 Y11 AA11 AB11 C12 F12 J12 L12 N12 T12 U12 Y12 A13 B13 C13 D13 E13 K13 M13 P13 V13 W13 Y13 AA13 AB13 C14 F14 G14 J14 L14 N14 U14 Y14 A15 B15 C15 D15 E15 K15 M15 P15 R15 U15 V15 W15 Y15 AA15 AB15 C16 F16 H16 R16 U16 Y16 A17 B17 C17 D17 E17 F17 G17 H17 R17 T17 U17 V17 W17 Y17 AA17 AB17 C18 F18 T18 U18 Y18 A19 B19 C19 D19 E19 G19 K19 N19 T19 V19 W19 Y19 AA19 AB19 A20 AB20 A21 B21 E21 H21 L21 P21 U21 AA21 AB21 A22 B22 AA22 AB22	VSS_D_0P9	Ground for digital 0.9V
K8 J9 L9 K10 J11 L11 K12 J13 L13 K14 J15 L15	VDD_D_0P9	Power supply for digital 0.9V. It must be always ON.
M8 P8 N9 M10 P10 N11	VDDM_D_0P9	Power supply for digital 0.9V

Ball #	Pin Name	Description
M12 P12 N13 M14 P14 N15		that can be shutdown Input low power state.
J8	VSS_A_0P9	Ground for analog 0.9V
J6 K6 L6 M6 N6 P6 J17 K17 L17 M17 N17 P17	VSS_D_1P8	Ground for digital 1.8V
J7 K7 L7 M7 N7 P7 J16 K16 L16 M16 N16 P16	VDD_D_1P8	Power supply for digital 1.8V
H8	VDD_A_1P8	Power supply for analog 1.8V
H9 H10 F11 G11 H11 G12 H12 H13 H14 H15	VP_ETH_A_0P9	Power supply for analog 0.9V used by Ethernet PHY.
G6 G7 G15 G16	VPH_ETH_A_1P8	Power supply for analog 1.8V used by Ethernet PHY.
R8 T8 R9 T9 R10 R12 R13 T13 R14 T14	VP_PE_A_0P9	Power supply for analog 0.9V used by PCI Express PHY.
T6 T7 T15 T16	VPH_PE_A_1P8	Power supply for analog 1.8V used by PCI Express PHY.
H6	TEMPSENSOR_VSSA	1.8V Ground dedicated for temperature sensor
H7	TEMPSENSOR_VDDA	1.8V Power supply dedicated for temperature sensor.

1.3 电气规格

1.3.1 极限工作条件

参数	Min	Typ	Max	Units
存储温度范围	-65		140	° C
Tj(PN 结温度)	-40		125	° C
VDD 和 VDDM	0.81	0.9	0.99	V
VP_PE 和 VP_ETH	0.81	0.9	0.99	V
VDDIO	1.62	1.8	1.98	V
VPH 和 VDDA18	1.62	1.8	1.98	V

Table18 SP1000A 极限工作条件

1.3.2 建议工作条件

参数	Min	Typ	Max	Units
工作温度范围	0		70	° C
VDD 和 VDDM	0.84	0.9	0.94	V
VP_PE 和 VP_ETH	0.84	0.9	0.94	V
VPH 和 VDDA18	1.71	1.8	1.89	V
VDDIO	1.71	1.8	1.89	V
VOH	1.35		1.8	V

VOL	0		0.45	v
VIH	1.17			v
VIL			0.63	v

Table19 SP1000A 处理器建议工作条件

1.3.3 工作电流

SP1000A 处理器在室温 25° C 环境下安装上两个光模块同时采用双 LAN 口回环进行 1500 字节大包满负荷 10G 速率下进行通信测试，测得功耗如下图：

常温	静态电流			满负荷工作电流		
工作电流单位：mA	Min	Typ	Max	Min	Typ	Max
VDD 0.9V (VDD +VDDM)	690mA	792mA	1029mA	1020mA	1158mA	1373mA
VP 0.9V (VP_PE+VP_ETH)	1123mA	1188mA	1439mA	1123mA	1178mA	1428mA
VDDIO 1.8V	8.5mA	14.1mA	14.3mA	9.5mA	9.7mA	9.9mA
VDD1.8 1.8V (VPH+VDDA18)	662mA	701mA	780mA	657mA	698mA	780mA

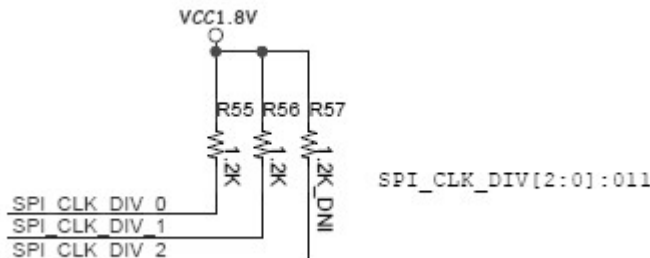
Table20 SP1000A 工作电流

注意：环境温度 35° C 时，芯片 PN 结（带散热片）温度大约 50° C，当芯片 PN 结温度达到 70° C，此时 0.9V 和 1.8V 工作电流是常温时的 1.1 倍，当芯片 PN 结温度达到 115° C，此时 0.9V 和 1.8V 工作电流是常温时 1.5 倍。

1.3.4 模式配置说明

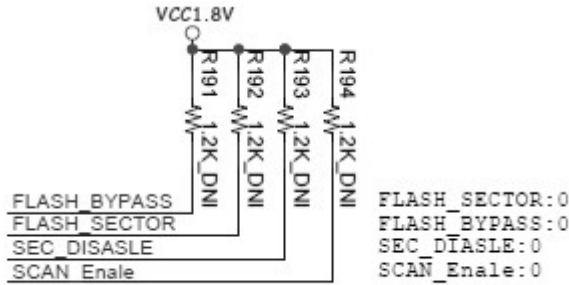
SP1000A 的 CLK_TST_SEL_0、CLK_TST_SEL_1、CLK_TST_SEL_2、CLK_TST_SEL_3 引脚内部有下拉，默认 clk_tst_sel[3:0]=0000，LAN 的时钟默认为 156.25MHZ，建议该功能引脚悬空处理。

SP1000A 的 SPI_CLK_DIV_0、SPI_CLK_DIV_1、SPI_CLK_DIV_2 引脚内部默认下拉，需要配置 SPI_CLK_DIV[2:0]=011，SPI flash 的时钟频率选择 31.25MHZ。



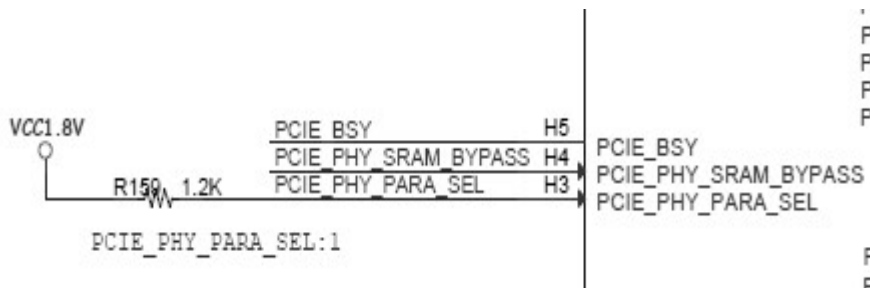
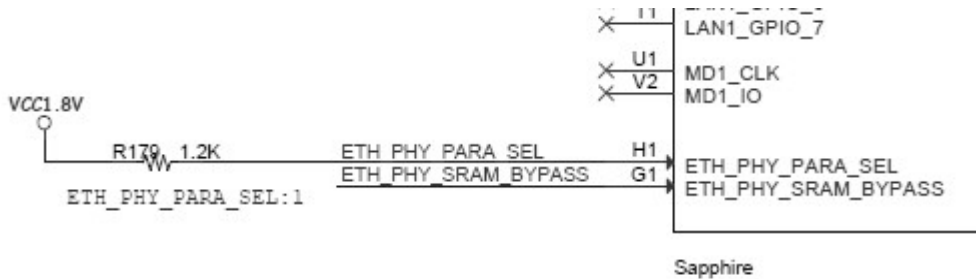
SP1000A 的 TEST_MODE_0、TEST_MODE_1、TEST_MODE_2 和 TEST_SEL 引脚内部已经下拉，test_mode[2:0]=000，test_sel=0，正常功能模式，建议该功能引脚悬空处理。

SP1000A 的 FLASH_BYPASS 引脚内部默认下拉，不开启 BYPASS 功能，FLASH_SECTOR、SEC_DISASBLE、PLL_BYPASS 引脚内部默认下拉，SEC_MODE 引脚内部默认上拉,这些配置引脚都使用默认值。



SP1000A 的 JTAG_SEL[2 :0]引脚默认下拉，产品设计时采用默认配置，不开启 JTAG 功能，建议该功能引脚悬空处理。

需要将 SP1000A 的 ETH_PHY_PARA_SEL 和 PCIE_PHY_PARA_SEL 引脚上拉处理。

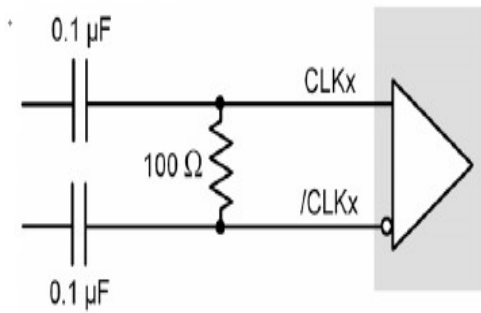


SP1000A 的 PCIE_PHY_SRAM_BYPASS、ETH_PHY_SRAM_BYPASS、LAN1_DIS_N、LAN2_DIS_N 引脚内部默认上拉，产品设计请使用缺省值，建议该功能引脚悬空处理。SP1000A 的 ETH0_RESREF、ETH1_RESREF、PE_PHY0_RESREF 和 PE_PHY1_RESREF 的终端匹配电阻请使用精度 1% 的 200 欧姆电阻。

1.3.5 ETH 时钟输入

ETH0_REF_CLK_P、ETH0_REF_CLK_N 引脚要求 156.25MHZ 的差分时钟输入，ETH1_REF_CLK_P、ETH1_REF_CLK_N 引脚要求 156.25MHZ 的差分时钟输入，要求 1.8V 的 LVDS 差分晶振输入，可以采用 AC 耦合或者 DC 耦合输入，LVDS 标准要求要求在 ETH0_REF_CLK_P、ETH0_REF_CLK_N 引脚或 ETH1_REF_CLK_P、ETH1_REF_CLK_N 引脚并联上 100 欧姆电阻，精度 1%，建议采用 AC 耦合方式。低成本差分时钟输入方案见

参考设计原理图。



1.3.6 电源设计

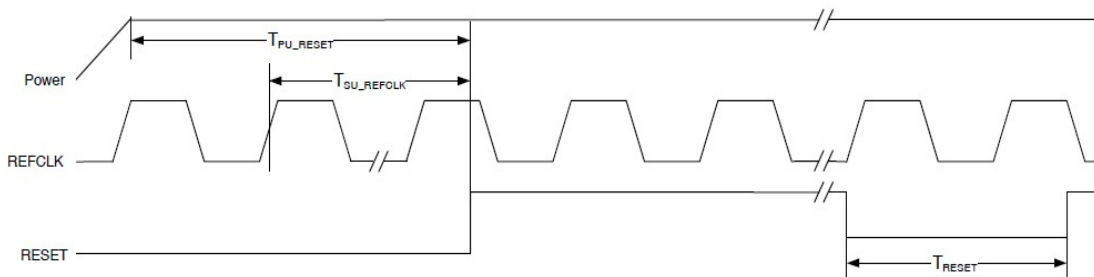
SP1000A 的 0.9V 和 1.8V 电源不需要保持一定上电时序,但是为了保证 PHY 的抖动性能, VP_PE\VP_ETH 模拟电源需要在 0.9V 输入端串入磁珠, VPH\VDDA18 模拟电源需要在 1.8V 输入端串入磁珠, 磁珠型号推荐 BLM21PG300SN1。电源滤波电容采用 10nF\100nF\4.7uF\10 uF\47 uF 组合使用。建议 0.9V 电源选择最大电流输出在 8A 以上, 1.8V 电源输出最大电流在 1.5A。芯片上面使用散热能力 5W 的散热片。

1.3.7 复位时间

SP1000A 的复位信号需要外部提供, 输入要求如下图所示:

参数	Min	Typ	Max	Units
TPU_RESET (电源有效直到 RESET 信号拉高)	10			ms
TRESET (正常工作期间最小复位脉冲宽度)	10			ms

Table21 复位时间



1.3.8 FLASH 推荐

Manufacturer	Model type
winbond	W25Q16FW 系列
microchip	SST26WF080B 系列

Table22 推荐 SPI FLASH 型号

1.3.9 光模块推荐

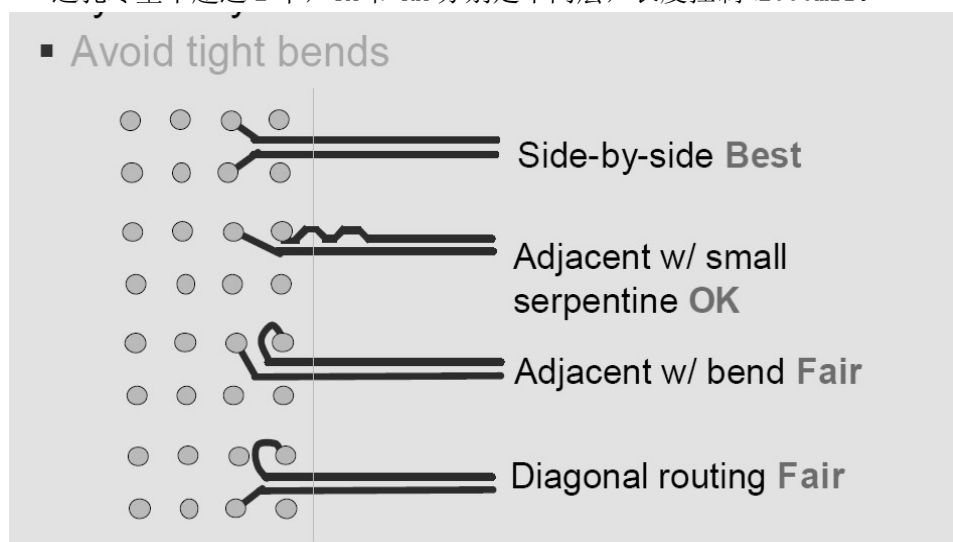
下表所示的光模块经过测试，能够完美支持，保证通信质量。

Manufacturer	Model type
Avago	AFBR-709SMZ
Intel	FTLX8571D3BCV-IT
F-tone	FTCS-851X-02Dxx
Finisar	FTLX8574D3BCL
Trixon	TPS-TGM3-85DCR
Huawei	OMXD30000
HP	SR SFP+ 456096-001
Hasense	LTF8502-BC+
JDSU	PLRXPL-SC-S43
WTD	RTXM228-551

Table23 推荐光模块型号

1.3.9 PCI_Express 布线建议

- PCI_Express 信号带宽最高 8Gbps
- 串接 0.22uF 电容尽量靠近金手指放置；
- 差分线对内等长 3mil；
- 差分线对间间距 3W；
- 过孔尽量不要超过 2 个，TX 和 RX 分别走不同层，长度控制<2000mil。

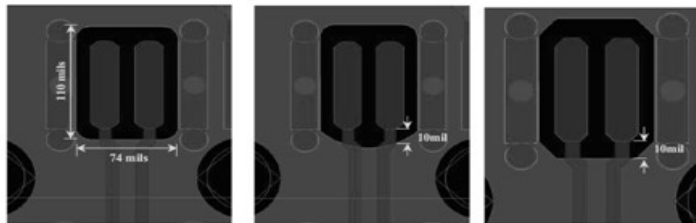


1.3.10 SFP+布线建议

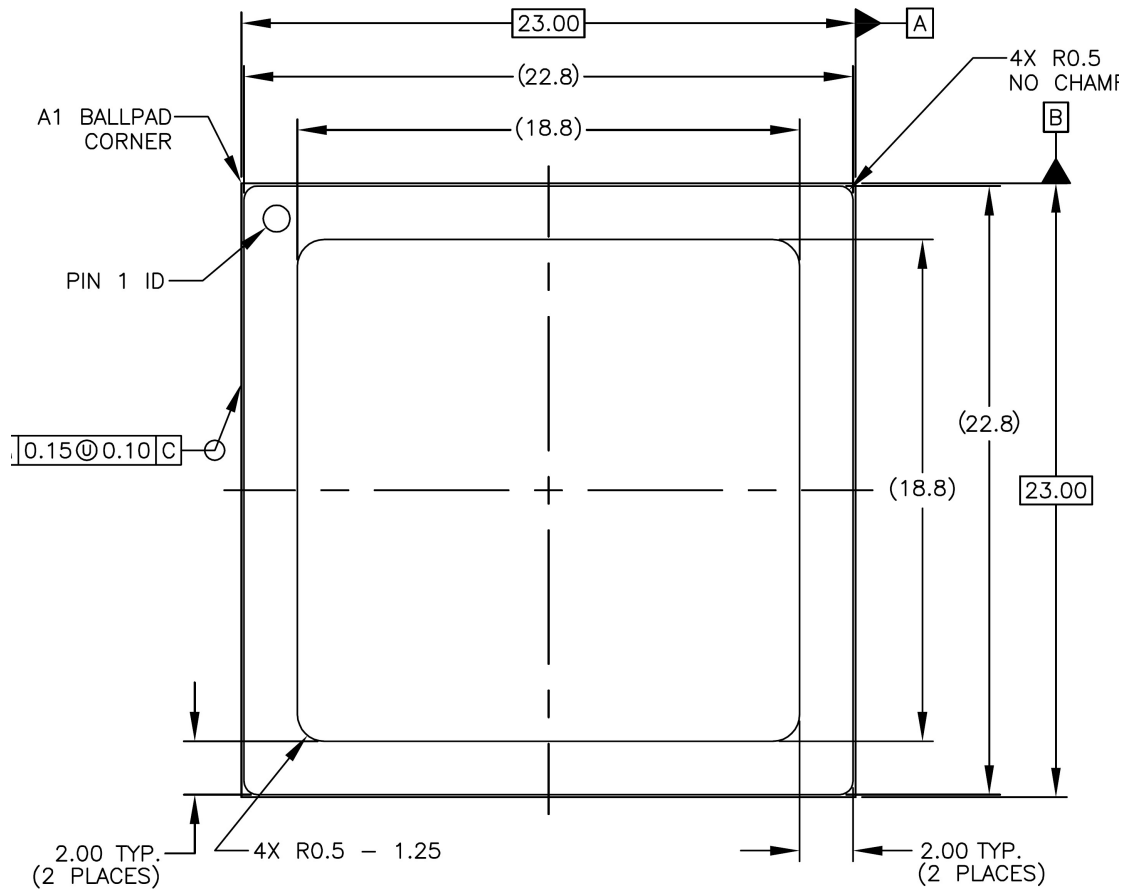
- SFP 插件与 SP1000A 处理器之间的 SFP_RX 和 SFP_TX 差分对内误差 5mil，差分对之间 50mil，内层走线长度在 2900-4000mil 之间，外层走线长度控制在 3000-4000mil. 差分阻抗 100 欧姆, 单端 50 欧姆, TX 和 RX 走在不同层。
- 优先保证 SFI 差分对 TX 线上过孔和 RX 线过孔分别不超过 2 个; 差分对过孔最佳处理如下:



- 单个 SFP 电源 VCC3.3V 流通能力 1A;
- 去耦电容尽量靠近 SFP 插件引脚放置。
- SFI 的连接座处 TX RX 下面的参考地删除，大小参考下图:



第 2 章 芯片封装尺寸说明



TOP VIEW

